



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09330156 A**(43) Date of publication of application: **22.12.97**

(51) Int. Cl.

**G06F 3/00**  
**G11C 11/401**  
**H03K 19/0175**

(21) Application number: **08152592**(22) Date of filing: **13.06.96**(71) Applicant: **HITACHI LTD**

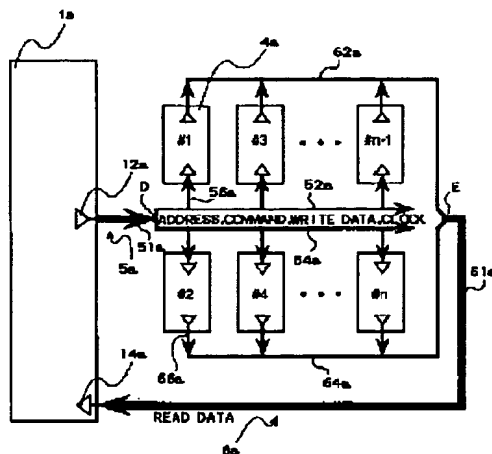
(72) Inventor: **UMEMURA MASAYA**  
**OSAKA HIDEKI**  
**TAKEKUMA SHUNJI**

**(54) BUS SYSTEM AND CIRCUIT BOARD****(57) Abstract:**

**PROBLEM TO BE SOLVED:** To shorten the signal transfer time between a bus master and bus slaves while holding it nearly constant without increasing the number of pins of the bus master.

**SOLUTION:** This system is equipped with synchronous RAMs 4a, a memory controller 1a, a bus 5a which inputs the signal outputted from the memory controller 1a to the synchronous RAMs 4a, and a bus 6a which inputs signals outputted from the synchronous RAMs 4a to the memory controller 1a. The buses 5a and 6a have trunk lines 51a and 61a connected to the memory controller 1a and two branch lines connected to the trunk lines. The synchronous RAMs 4a are connected to the corresponding branch lines so that the total lengths of the lengths of the bus 5a between the synchronous RAMs 4a and memory controller 1a and the lengths of the bus 6a between the synchronous RAMs 4a and memory controller 1a become nearly equal to one another.

COPYRIGHT: (C)1997,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-330156

(43)公開日 平成9年(1997)12月22日

(51)Int.Cl. <sup>a</sup>	識別記号	序内整理番号	F I	技術表示箇所
G 0 6 F 3/00			G 0 6 F 3/00	T
G 1 1 C 11/401			G 1 1 C 11/34	3 7 1 Z
H 0 3 K 19/0175			H 0 3 K 19/00	1 0 1 Q

審査請求 未請求 請求項の数15 O.L (全 19 頁)

(21)出願番号 特願平8-152592

(22)出願日 平成8年(1996)6月13日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 梅村 雅也

神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(72)発明者 大坂 英樹

神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(72)発明者 武隈 俊次

神奈川県海老名市下今泉810番地 株式会社日立製作所オフィスシステム事業部内

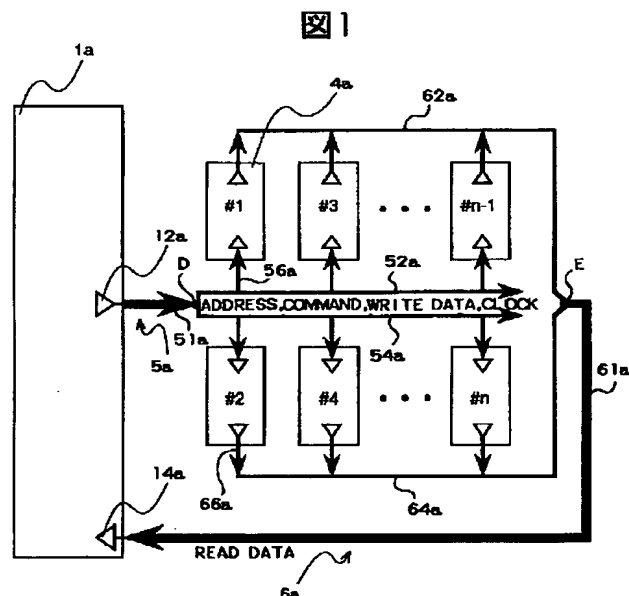
(74)代理人 弁理士 富田 和子

(54)【発明の名称】 バスシステム及び回路基板

(57) 【要約】

【課題】 バスマスタのピン数を増加させずに、バスマスタ及び複数のバススレーブ間の信号転送時間を略一定に保ちながら短縮する。

【解決手段】複数の同期RAM 4 aと、メモリコントローラ 1 aと、メモリコントローラ 1 aから出力された信号を同期RAM 4 aに入力するバス 5 aと、同期RAM 4 aから出力された信号をメモリコントローラ 1 aに入力するバス 6 aとを備える。バス 5 a、6 a各々は、メモリコントローラ 1 aに接続された幹線 5 1 a、6 1 aと幹線に接続された2つの支線とを有する。同期RAM 4 aは、当該同期RAM 4 a及びメモリコントローラ 1 a間のバス 5 aの長さと、当該同期RAM 4 a及びメモリコントローラ 1 a間のバス 6 aの長さとの総和が、全ての同期RAM 4 aについて略等しくなるように、対応する支線に接続される。



## 【特許請求の範囲】

【請求項 1】複数のバススレーブと、前記複数のバススレーブを制御するバスマスタと、前記バスマスタから出力された信号を前記バススレーブに入力するための第一バスと、前記バススレーブから出力された信号を前記バスマスタに入力するための第二バスと、を備えるバスシステムであって、

前記第一バス及び第二バス各々は、前記バスマスタに接続された幹線と、前記幹線に接続された、各々に少なくとも一つのバススレーブが接続された複数の支線と、を有し、

前記バススレーブは、当該バススレーブ及び前記バスマスタ間の第一バスの長さ、当該バススレーブ及び前記バスマスタ間の第二バスの長さとの総和が、全ての前記バススレーブについて略等しくなるように、前記支線に接続されていることを特徴とするバスシステム。

【請求項 2】請求項 1 において、

前記バスマスタから出力された信号が、前記第一バスの前記幹線及び前記複数の支線の接続点で、反射波を生じさせないようにインピーダンスの整合が図られていることを特徴とするバスシステム。

【請求項 3】請求項 2 において、

前記第一バスの前記幹線は、整合負荷を介して当該複数の支線に接続されていることを特徴とするバスシステム。

【請求項 4】請求項 1、2 又は 3 において、

前記複数のバススレーブから出力された信号が前記バスマスタに入力した際に生じた反射波が、前記第二バスの前記幹線及び前記複数の支線の接続点で、再び反射波を生じさせないようにインピーダンスの整合が図られていることを特徴とするバスシステム。

【請求項 5】請求項 4 において、

前記第二バスの前記幹線は、整合負荷を介して当該複数の支線に接続されていることを特徴とするバスシステム。

【請求項 6】請求項 1、2 又は 3 において、

前記複数のバススレーブから出力された信号が、前記第二バスの前記幹線及び前記複数の支線の接続点で、反射波を生じさせないようにインピーダンスの整合が図られていることを特徴とするバスシステム。

【請求項 7】請求項 6 において、

前記第二バスの前記複数の支線各々は、整合負荷を介して当該幹線に接続されていることを特徴とするバスシステム。

【請求項 8】請求項 1、2、3、4、5、6 又は 7 において、

前記複数のバススレーブ各々は、布線を介して前記第一バスの前記支線に接続されており、  
前記バスマスタから出力された信号が前記バススレーブに入力した際に生じた反射波が、当該バススレーブに

接続する前記布線と、当該布線に接続する前記支線との接続点で、再び反射波を生じさせないようにインピーダンスの整合が図られていることを特徴とするバスシステム。

【請求項 9】請求項 1、2、3、4、5、6 又は 7 において、

前記複数のバススレーブ各々は、布線を介して前記第二バスの前記支線に接続されており、

前記バススレーブから出力された信号が、当該バススレーブに接続する前記布線と、当該布線に接続する前記支線との接続点で、反射波を生じさせないようにインピーダンスの整合が図られていることを特徴とするバスシステム。

【請求項 10】請求項 8 又は 9 において、

前記布線は、整合負荷を介して前記支線に接続されていることを特徴とするバスシステム。

【請求項 11】請求項 10 において、

前記布線及び当該布線に対応する前記支線間に接続された前記整合負荷は、抵抗成分を有するものであり、  
前記支線の終端には、前記抵抗成分に対して所定の比率を有する抵抗が接続されていることを特徴とするバスシステム。

【請求項 12】請求項 10 において、

前記布線及び当該布線に対応する前記支線間に接続された前記整合負荷は、抵抗成分を有するものであり、  
且つ、当該布線に接続された前記バススレーブの容量成分との間で、時定数が前記第一バス及び第二バス上を伝搬する信号のバスサイクルより短く、前記信号の立上がり及び下がり時間より長い RC 回路を形成することを特徴とするバスシステム。

【請求項 13】請求項 1、2、3、4、5、6、7、

8、9 又は 10 において、

前記支線の終端には、当該支線の実インピーダンスと略等しいインピーダンスを有する整合負荷が接続されていることを特徴とするバスシステム。

【請求項 14】複数のバススレーブと、前記複数のバススレーブを制御するバスマスタとが搭載され、且つ、前記バスマスタから出力された信号を前記バススレーブに入力するための第一バスと、前記バススレーブから出力された信号を前記バスマスタに入力するための第二バスとが形成された回路基板であって、

前記バスマスタは、略中央部に配置されており、

前記複数のバススレーブは、前記バスマスタを中心として略左右対称となるように 2 つに振り分けて配置されており、

前記第一バスは、前記バスマスタを中心として左側に配置された前記バススレーブ各々に接続する第一支線と、前記バスマスタを中心として右側に配置された前記バススレーブ各々に接続する第二支線と、一方の端部が前記バスマスタに接続され、他方の端部が前記第一支線及び

前記第二支線に接続された第一幹線とを有し、且つ前記第一支線及び前記第二支線が前記バスマスタを中心として略左右対称となるように形成されており、前記第二バスは、前記バスマスタを中心として左側に配置された前記バススレーブ各々に、前記第一支線とは逆順で接続する第三支線と、前記バスマスタを中心として右側に配置された前記バススレーブ各々に、前記第四支線とは逆順で接続する第四支線と、一方の端部が前記バスマスタに接続され、他方の端部が前記第三支線及び前記第四支線に接続された第二幹線とを有し、且つ前記第三支線及び前記第四支線が前記バスマスタを中心として略左右対称となるように形成されていることを特徴とする回路基板。

【請求項15】請求項14において、前記第一バス及び第二バスは、層状に形成された導電層を用いて形成されていることを特徴とするバスシステム。

#### 【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】本発明は、バスシステム、特に情報処理装置の同期式制御に用いるバスシステム及び回路基板に関する。

#### 【0002】

【従来の技術】同期メモリ及び同期式メモリシステムに関する規格として、IEEE1596.4のSync Linkがある。以下に、この規格が適用された同期式メモリシステムについて図面を参照して説明する。図23はSync Linkが適用された同期式メモリシステムの概略構成図である。

【0003】Sync Linkが適用された同期式メモリシステムは、図23に示すように、複数の同期RAM104a<sub>m</sub>～104a<sub>n</sub>（以下、単に同期RAM104aともいう）と、同期RAM104aへのデータの書き込みや読み出しを制御するメモリコントローラ101aと、アドレスバス105aと、データバス106aとを備えて構成される。

【0004】アドレスバス105aは、メモリコントローラ101aの出力バッファ1012aから出力されたアドレス、コマンド、ライトデータや、同期用クロック信号を、同期RAM104aの入力バッファ1042aに入力するためのものであり、アドレス、コマンド及びライトデータを扱うバス線と、同期用クロック信号を扱う同期用クロック線とからなる。

【0005】データバス106aは、同期RAM104aの出力バッファ1044aから出力されたリードデータをメモリコントローラ101aの入力バッファ1014aに入力するためのものである。

【0006】アドレスバス105aは、メモリコントローラ101aに対する各同期RAM104aの序列を昇順（#1～#nの順）としている。一方、データバス1

06aは、メモリコントローラ101aに対する各同期RAM104aの序列を降順（#n～#1の順）としている。このようにすることで、メモリコントローラ101a及び同期RAM104a間のアドレスバス105aのバス長と、メモリコントローラ101a及び同期RAM104a間のデータバス106aのバス長との総和が、全ての同期RAM104a<sub>m</sub>～104a<sub>n</sub>について略等しくなるようにしている。

【0007】上記構成のSync Linkが適用された同期式メモリシステムでは、同期RAM104aは、メモリコントローラ101aからアドレスバス105aの同期用クロック線に出力された同期用クロックを契機として、メモリコントローラ101aからアドレスバス105aのバス線に出力されたアドレス、コマンド及びライトデータをラッチする。これにより、アドレス、コマンド及びライトデータの同期転送を実現している。また、メモリコントローラ101a及び同期RAM104a間のアドレスバス105aのバス長と、メモリコントローラ101a及び同期RAM104a間のデータバス106aのバス長との総和が、全ての同期RAM104a<sub>m</sub>～104a<sub>n</sub>について略等しくなるようにすることにより、メモリコントローラ101aの各同期RAM104aに対するメモリアクセスレイテンシを略一定にすることができる。

#### 【0008】

【発明が解決しようとする課題】しかしながら、上記構成の同期式メモリシステムでは、同期RAM104aの数を増やすと、アドレスバス105a及びデータバス106aのバス長が長くなるので、各バスにおける信号の伝搬時間が長くなり、結果として、メモリコントローラ101aの各同期RAM104aに対するメモリアクセスレイテンシが長くなるという問題がある。

【0009】尚、各バスにおける伝搬時間を短縮するために、メモリコントローラ101a及び同期RAM104aの出力バッファ1012aの電流駆動能力を高める方法が考えられる。しかしながら、この方法では、バス上での反射によるリンギングノイズが増加するため、期待される程の短縮効果は得られない。むしろ、電流駆動能力を高めることは、出力バッファの面積拡大に伴うチップダイの肥大化を招き、さらに、電流量増大に伴う電磁界放射ノイズの増加から新たな対策手段が必要となるため、好ましくない。

【0010】ところで、Sync Linkでは、同期RAMの容量を増設した場合の同期式メモリシステムも提案している。この同期式メモリシステムでは、図24に示すように、アドレスバス105b及びデータバス106bからなるバス系統に同期RAM104b<sub>m</sub>～104b<sub>n</sub>を接続し、アドレスバス105c及びデータバス106cからなるバス系統に同期RAM104c<sub>m</sub>～104c<sub>n</sub>を接続している。このように、バス系統を2系統

設けることにより、各バスに接続する同期RAM数を減らすことができ、これにより、各バスのバス長を短くすることができる。しかしながら、メモリコントローラ101bに、アドレスバス105b、105cに各々対応する出力バッファ1012b、1012cと、データバス106b、106cに各々対応する入力バッファ1014b、1014cとを設けなければならず、これにより、メモリコントローラ101bが大きくなり、また、ピン数も増加するという問題がある。

【0011】本発明は、上記事情に基づいてなされたものであり、バスマスタのピン数を増加させることなく、バスマスタ及び当該バスマスタに支配される複数のバススレーブ各々間の信号転送時間を略一定に保ちながら短縮することができるバスシステム及び回路基板を提供することを目的とする。

#### 【0012】

【課題を解決するための手段】上記課題を解決するために、本発明のバスシステムは、複数のバススレーブと、前記複数のバススレーブを制御するバスマスタと、前記バスマスタから出力された信号を前記バススレーブに入力するための第一バスと、前記バススレーブから出力された信号を前記バスマスタに入力するための第二バスと、を備えるバスシステムであって、前記第一バス及び第二バス各々は、前記バスマスタに接続された幹線と、前記幹線に接続された、各々に少なくとも一つのバススレーブが接続された複数の支線と、を有し、前記バススレーブは、前記第一バス及び第二バスの対応する前記支線に、当該バススレーブ及び前記バスマスタ間の第一バスの長さと、当該バススレーブ及び前記バスマスタ間の第二バスの長さとの総和が、全ての前記バススレーブについて略等しくなるように接続されていることを特徴とする。

【0013】ここで、前記第一バスは、前記バスマスタから出力された信号が、前記第一バスの前記幹線及び前記複数の支線の接続点で、反射波を生じさせないように、インピーダンスの整合が図られていることが好ましい。

【0014】また、前記第二バスは、前記複数のバススレーブから出力された信号が前記バスマスタに入力した際に生じた反射波が、前記第二バスの幹線と前記第二バスの前記複数の支線との接続点で、再びを反射波を生じさせないように、インピーダンスの整合が図られていることが好ましい。

【0015】尚、前記複数のバススレーブ各々を布線を介して対応する前記支線に接続する場合、前記布線及び当該布線に接続された前記支線は、当該布線に接続された前記バススレーブから出力された信号、あるいは当該バススレーブで発生した反射波が、当該布線と当該支線との接続点で反射波を生じさせないように、インピーダンスの整合が図られていることが好ましい。

【0016】また、前記支線の終端には、当該支線の特性インピーダンスと略等しいインピーダンスを有する整合負荷が接続されていることが好ましい。

【0017】本発明の回路基板は、複数のバススレーブと、前記複数のバススレーブを制御するバスマスタとが搭載され、且つ前記バスマスタから出力された信号を前記バススレーブに入力するための第一バスと、前記バススレーブから出力された信号を前記バスマスタに入力するための第二バスとが形成された回路基板であって、前記バスマスタは、略中央部に配置されており、前記複数のバススレーブは、前記バスマスタを中心として略左右対称となるように2つに振り分けて配置されており、前記第一バスは、前記バスマスタを中心として左側に配置された前記バススレーブ各々に接続する第一支線と、前記バスマスタを中心として右側に配置された前記バススレーブ各々に接続する第二支線と、一方の端部が前記バスマスタに接続され、他方の端部が前記第一支線及び前記第二支線に接続された第一幹線とを有し、且つ前記第一支線及び前記第二支線が前記バスマスタを中心として略左右対称に形成されており、前記第二バスは、前記バスマスタを中心として左側に配置された前記バススレーブ各々に、前記第一支線とは逆順で接続する第三支線と、前記バスマスタを中心として右側に配置された前記バススレーブ各々に、前記第二支線とは逆順で接続する第四支線と、一方の端部が前記バスマスタに接続され、他方の端部が前記第三支線及び前記第四支線に接続された第二幹線とを有し、且つ前記第三支線及び前記第四支線が前記バスマスタを中心として略左右対称に形成されていることを特徴とする。

#### 【0018】

【発明の実施の形態】以下に、本発明の第一実施形態について図面を参照して説明する。

【0019】図1は本発明の第一実施形態である同期式メモリシステムの概略構成図、図2は図1に示す同期RAMの概略ブロック図である。

【0020】本実施形態の同期式メモリシステムは、図1に示すように、偶数個の同期RAM4a<sub>0</sub>～4a<sub>n</sub>（以下、単に同期RAM4aともいう）と、同期RAM4aへのデータの書き込みや読み出しを制御するメモリコントローラ1aと、アドレス・コマンド・クロック・ライトデータバス5aと、リードデータバス6aと、を備えて構成される。

【0021】メモリコントローラ1aは、出力バッファ12aから、同期RAM4aの書き込み・読み出し動作を制御するためのアドレス、コマンド及びライトデータと、同期用クロック信号とを出力する。また、同期RAM4aが出力したリードデータを入力バッファ14aで受信する。

【0022】同期メモリ4aは、図2に示すように、アドレス、コマンド、ライトデータ、そして同期用クロック

クを受信する入力バッファ42aと、リードデータを出  
力する出力バッファ44aと、図示していないが、メモ  
リセル、センスアンプ、シーケンサ等からなるメモリ部  
とを有する。同期RAM4aは、受信した同期用クロッ  
クを契機として、アドレス、コマンド及びライトデー  
タをラッチする。そして、ラッチしたアドレス及びコマ  
ンドに従い、ラッチしたライトデータのメモリセルへの書  
き込みや、メモリセルから当該アドレスのデータの読み  
出しを行う。

【0023】アドレス・コマンド・クロック・ライトデ  
ータバス5aは、メモリコントローラ1aの出力バッフ  
ァ12aから出力されたアドレス、コマンド、ライトデ  
ータや、同期用クロック信号を、同期RAM4aの入力  
バッファ42aに入力するためのものである。また、ア  
ドレス・コマンド・クロック・ライトデータバス5a  
は、図1に示すように、分岐点Dで幹線51aが2つの  
支線52a、54aに分岐しており、支線52aには奇  
数番目の同期RAM4a<sub>ni</sub> (i=1、3、・・・n-  
1)が、そして支線54aには偶数番目の同期RAM4  
a<sub>nj</sub> (j=2、4、・・・n)が、略等間隔で各々布線  
56aを介して接続されている。このようにすること  
で、支線52a及び支線54aの長さを略等しくしてい  
る。

【0024】リードデータバス6aは、同期RAM4a  
の出力バッファ44aから出力されたリードデータをメ  
モリコントローラ1aの入力バッファ14aに入力する  
ためのものである。リードデータバス6aも、アドレス  
・コマンド・クロック・ライトデータバス5aと同様  
に、分岐点Eで幹線61aが2つの支線62a、64a  
に分岐しており、支線62aには奇数番目の同期RAM  
4a<sub>ni</sub> (i=1、3、・・・n-1)が、そして支線6  
4aには偶数番目の同期RAM4a<sub>nj</sub> (j=2、4、  
・・・n)が、略等間隔で各々布線66aを介して接続さ  
れている。このようにすることで、支線62a及び支線  
64aの長さを略等しくしている。

【0025】アドレス・コマンド・クロック・ライトデ  
ータバス5aの支線52a、54aは、メモリコントロ  
ーラ1aに対する同期RAM4aの序列を昇順(支線5  
2aについては#1、#3、・・・#n-1の順、支線  
54aについては#2、#4、・・・#nの順)として  
いる。一方、リードデータバス6aの支線62a、64  
aは、メモリコントローラ1aに対する同期RAM4a  
の序列を降順(支線62aについては#n-1、#n-  
3、・・・#1の順、支線64aについては#n、#n-  
2、・・・#2の順)としている。上述したように、  
アドレス・コマンド・クロック・ライトデータバス5a  
の支線52a及び支線54aの長さを略等しくすると共  
に、リードデータバス6aの支線62a及び支線64a  
の長さを略等しくしているので、このようにすること  
により、メモリコントローラ1a及び同期RAM4a間の

アドレス・コマンド・クロック・ライトデータバス5a  
のバス長と、メモリコントローラ1a及び同期RAM4  
a間のリードデータバス6aのバス長との総和が、全  
ての同期RAM4a<sub>ni</sub>~4a<sub>nj</sub>について略等しくなるよう  
にしている。

【0026】本実施形態の同期式メモリシステムでは、  
同期RAM4aは、メモリコントローラ1aからアドレ  
ス・コマンド・クロック・ライトデータバス5a上に出  
力された同期用クロックを契機として、メモリコントロ  
ーラ1aからアドレス・コマンド・クロック・ライトデ  
ータバス5a上に出力されたアドレス、コマンド及びラ  
イトデータをラッチする。これにより、アドレス、コマ  
ンド及びライトデータの同期転送を実現している。

【0027】また、メモリコントローラ1a及び同期R  
AM4a間のアドレス・コマンド・クロック・ライトデ  
ータバス5aのバス長と、メモリコントローラ1a及び  
同期RAM4a間のリードデータバス6aのバス長との  
総和が、全ての同期RAM4a<sub>ni</sub>~4a<sub>nj</sub>について略等  
しくなるようにすることにより、メモリコントローラ1  
aの出力バッファ12aがアドレス及びリードを示すコ  
マンドを出力してから、メモリコントローラ1aの入力  
バッファ14aが当該アドレスのデータを受信するまで  
のメモリアクセスレイテンシを、全ての同期RAM4a  
<sub>ni</sub>~4a<sub>nj</sub>について略一定にすることができる。

【0028】さらに、アドレス・コマンド・クロック・  
ライトデータバス5a及びリードデータバス6a各々  
を、図1に示すように、2つの支線に分岐して、一方  
の支線に奇数番目の同期RAM4aを接続し、他方の支  
線に偶数番目の同期RAM4aを接続したことにより、メ  
モリコントローラ1a及び同期RAM4a間におけるア  
ドレス・コマンド・クロック・ライトデータバス5a、  
リードデータバス6aの最長バス長を、図23に示す従  
来の同期メモリシステムに比べて、略半分に短縮する  
ことができる。これにより、メモリコントローラ1aの各  
同期RAM4aに対するメモリアクセスレイテンシを短  
縮することができる。また、図24に示す従来の同期メ  
モリシステムと異なり、2つのアドレス・コマンド・ク  
ロック・ライトデータバスに各々対応する2つの出力バ  
ッファと、2つのデータバスに各々対応する2つ入力バ  
ッファとを、メモリコントローラに設ける必要がない。  
したがって、メモリコントローラが大きくなるのを防ぐ  
ことができ、また、メモリコントローラのピン数が増加  
するのを防ぐことができる。

【0029】次に、本実施形態のアドレス・コマンド・  
クロック・ライトデータバス5aの具体的な構成につい  
て図面を参照して説明する。

【0030】図3は図1に示すアドレス・コマンド・ク  
ロック・ライトデータバスの概略構成図、図4は図3の  
A部拡大図、図5は図3のB部拡大図である。

【0031】本実施形態のアドレス・コマンド・クロッ

ク・ライトデータバス5aには、印刷回路基板の配線パターンが用いられる。配線パターンの特性インピーダンスは、主に寄生容量によるものであり、その値は、基板の材質、構造、配線パターンの幅や、当該パターンとグランド、あるいは電源ラインとの距離等に依存する。通常、40～100Ω程度である。

【0032】本実施形態では、図3及び図4に示すように、幹線51aとして、特性インピーダンス $Z_s$ が40Ωの配線パターンを用いている。また、図3乃至図5に示すように、支線52a、54aとして、特性インピーダンス $Z_m$ が80Ωの配線パターンを用い、支線52a、54aの終端各々を抵抗値 $R_t$ が80Ωの終端抵抗59aを介してラインVttに接続している。さらに、図3及び図5に示すように、布線56aとして、特性インピーダンス $Z_{sk}$ が80Ωの配線パターンを用い、各布線56aを抵抗値 $R_m$ が40Ωの整合抵抗58aを介して対応する支線52a、54aに接続している。

【0033】次に、本実施形態のアドレス・コマンド・クロック・ライトデータバス5aの分岐点Dでの電気特性、支線52a、54a及び布線56aの接続点での電気特性、および支線52a、54aの終端での電気特性について説明する。

【0034】先ず、分岐点Dでの電気特性について説明する。

【0035】本実施形態のアドレス・コマンド・クロック・ライトデータバス5aでは、幹線51aとして特性インピーダンス $Z_s$ が40Ωの配線パターンを用い、支線52a、54aとして特性インピーダンス $Z_m$ が80Ωの配線パターンを用いている。したがって、幹線51aの特性インピーダンス $Z_s$ と、支線52a、54aの合成インピーダンス $Z_m/2$ とが一致しているので、分岐点Dでのインピーダンス整合を図ることができ、これにより、メモリコントローラ1aの出力バッファ12aから出力された電気信号が分岐点Dで不要な反射波を発生させるのを抑制することができる。尚、上述したように、配線パターンの特性インピーダンスは、配線パターンの幅や、当該パターンとグランド、あるいは電源ラインとの距離等に依存している。このため、パターン設計によっては、幹線51aの特性インピーダンス $Z_s$ と、支線52a、54aの合成インピーダンス $Z_m/2$ とを一致させることができないことも考えられる。このような場合、幹線51aと分岐点Dとの間に、支線52a、54aの合成インピーダンス $Z_m/2$ と幹線51aの特性インピーダンス $Z_s$ との差分を補う整合抵抗を挿入することにより、分岐点Dでのインピーダンス整合を図ることができる。

【0036】次に、支線52a、54a及び布線56aの接続点での電気特性について説明する。

【0037】本実施形態のアドレス・コマンド・クロック・ライトデータバス5aでは、布線56aとして、特

性インピーダンス $Z_{sk}$ が80Ωの配線パターンを用い、各布線56aを抵抗値 $R_m$ が40Ωの整合抵抗58aを介して対応する支線52a、54aに接続している。ここで、支線52a、54aの特性インピーダンス $Z_m$ は80Ωなので、布線56aの特性インピーダンス $Z_{sk}$ は、布線56a側から見たときに、見かけ上、2つに分岐する支線52a、54aの合成インピーダンス $Z_m/2$ と、整合抵抗58aの抵抗値 $R_m$ との合成インピーダンス $Z_m/2 + R_m$ と一致している。したがって、本実施形態によれば、支線52a、54aと布線56aとの接続点でのインピーダンス整合を図ることができる。メモリコントローラ1aの出力バッファ12aから出力され、同期RAM4aの入力バッファ44aに到達した電気信号は、入力バッファ44aと布線56aとの接点で、特性インピーダンスの相違によって反射波を発生させるが、本実施形態では、支線52a、54aと布線56aとの接続点でのインピーダンス整合が図られているので、当該反射波が前記接続点で更に反射波を発生させるのを抑制することができる。これにより、布線56a及び同期RAM4aの接点と、当該布線56a及び当該布線56aに接続された支線52a、54aの接続点とで、反射波が交互に繰り返し発生し、入力バッファ44aに入力される電気信号の振幅が段階的に上昇するのを防止することができる。したがって、入力バッファ44aに入力される電気信号の電位確定時間を短縮することができるので、同期メモリ4aへのメモリアクセスレイテンシを短縮することができる。

【0038】また、整合抵抗58aにより布線56aに流入する電流量を低減することができ、これにより、急峻な大電流の変動が抑制され、EMC等の不要な電磁界放射ノイズを低減することができる。さらに、整合抵抗58aは、布線56aとして用いられた配線パターンの寄生容量及び同期RAM4aの寄生容量との間でRC回路を構成する。このRC回路の時定数は、通常、前記アドレス・コマンド・クロック・ライトデータバス5a上を伝搬する信号のバスサイクルより短く、且つ当該信号の立上がり及び下がり時間より長いので、入力バッファ42aに、メモリコントローラ1aの出力バッファ12aから出力された電気信号の波形を反映した滑らかな波形の電気信号を入力することができる。

【0039】次に、支線52a、54aの終端での電気特性について説明する。

【0040】本実施形態のアドレス・コマンド・クロック・ライトデータバス5aでは、支線52a、54aの終端各々を抵抗値 $R_t$ が80Ωの終端抵抗59aを介してラインVttに接続している。したがって、支線52a、54aの特性インピーダンス $Z_m$ と、終端抵抗59aの抵抗値 $R_t$ とが一致しているので、支線52a、54aの終端各々でのインピーダンス整合を図ることができる。これにより、支線52a、54aの終端に到達した

電気信号や反射波を終端抵抗59aに吸収させることができる。

【0041】次に、本実施形態のリードデータバス6aの具体的な構成について図面を参照して説明する。

【0042】図6は図1に示すリードデータバスの概略構成図、図7は図6のC部拡大図、図8は図6のD部拡大図である。

【0043】本実施形態のリードデータバス6aも、アドレス・コマンド・クロック・ライトデータバス5aと同様に、印刷回路基板の配線パターンが用いられる。上述したように、配線パターンの特性インピーダンスは、通常、40～100Ω程度であるが、本実施形態では、図6及び図7に示すように、幹線61aとして特性インピーダンスZuが50Ωの配線パターンを、そして支線62a、64aとして特性インピーダンスZrが50Ωの配線パターンを用い、幹線61aと分岐点Eとの間に抵抗値Rmrが25Ωの整合抵抗を挿入している。また、図6及び図8に示すように、支線62a、64aの終端各々を抵抗値Rkが50Ωの終端抵抗69aを介してラインVttに接続している。さらに、布線66aとして、特性インピーダンスZsrが80Ωの配線パターンを用い、各布線66aを抵抗値Rrが55Ωの整合抵抗68aを介して対応する支線62a、64aに接続している。

【0044】次に、本実施形態のリードデータバス6aの支線62a、64a及び布線66aの接続点での電気特性、分岐点Eでの電気特性、および支線62a、64aの終端での電気特性について説明する。

【0045】先ず、支線62a、64a及び布線66aの接続点での電気特性について説明する。

【0046】本実施形態のリードデータバス6aでは、布線66aとして、特性インピーダンスZsrが80Ωの配線パターンを用い、各布線66aを抵抗値Rrが55Ωの整合抵抗68aを介して対応する支線62a、64aに接続している。ここで、支線62a、64aの特性インピーダンスZrは50Ωなので、布線66aの特性インピーダンスZsrは、布線66a側から見たときに、見かけ上、2つに分岐する支線62a、64aの合成インピーダンス $Z_r/2$ と、整合抵抗68aとの合成インピーダンス $Z_r/2 + R_r$ と一致している。したがって、本実施形態によれば、支線62a、64aと布線66aとの接続点でのインピーダンス整合を図ることができる。これにより、同期RAM4aの出力バッファ44aから出力された電気信号が接続点Eで不要な反射波を発生させるのを抑制することができる。

【0047】また、整合抵抗68aにより、同期RAM4aの出力バッファ44aから布線66aを介して支線62a、64aに流量する電流量を低減することができる。これにより、急峻な大電流の変動が抑制され、EMC等の不要な電磁界放射ノイズを低減することができ

る。

【0048】次に、分岐点Eでの電気特性について説明する。

【0049】本実施形態のリードデータバス6aでは、幹線61aとして特性インピーダンスZuが50Ωの配線パターンを、そして支線62a、64aとして特性インピーダンスZrが50Ωの配線パターンを用い、幹線61aと分岐点Eとの間に抵抗値Rmrが25Ωの整合抵抗を挿入している。したがって、幹線61aの特性インピーダンスZuと、支線62a、64aの合成インピーダンス $Z_r/2$ 及び整合抵抗67aの合成インピーダンス $Z_r/2 + R_{mr}$ が一致しているので、分岐点Eでのインピーダンス整合を図ることができる。同期RAM4aの出力バッファ44aから出力され、メモリコントローラ1aの入力バッファ14aに到達した電気信号は、入力バッファ14aと幹線61aとの接点で、特性インピーダンスの相違によって反射波を発生させるが、本実施形態では、分岐点Eでのインピーダンス整合が図られているので、当該反射波が分岐点Eで更に反射波を発生させるのを抑制することができる。これにより、入力バッファ14a及び幹線61aの接点と、分岐点Eとで、反射波が交互に繰り返して発生し、入力バッファ14aに入力される電気信号の振幅が段階的に上昇するのを防止することができる。したがって、入力バッファ14aに入力される電気信号の電位確定時間を短縮することができるので、メモリアクセスレイテンシを短縮することができる。

【0050】また、整合抵抗67aにより幹線61aに流入する電流量を低減することができ、これにより、急峻な大電流の変動が抑制され、EMC等の不要な電磁界放射ノイズを低減することができる。さらに、整合抵抗67aは、幹線61aとして用いられた配線パターンの寄生容量及びメモリコントローラ1aの入力バッファ14aの寄生容量との間でRC回路を構成する。このRC回路の時定数は、通常、前記リードデータバス6a上を伝搬する信号のバスサイクルより短く、且つ当該信号の立上がり及び下がり時間より長いので、入力バッファ14aに、同期RAM4aの出力バッファ44aから出力された電気信号の波形を反映した滑らかな波形の電気信号を入力することができる。

【0051】尚、分岐点に整合抵抗を挿入する代わりに、配線パターン設計によって、幹線61aの特性インピーダンスZuと、支線62a、64aの合成インピーダンス $Z_r/2$ とを一致させて、分岐点Eでのインピーダンス整合を図るようにしてもよい。

【0052】次に、支線62a、64aの終端での電気特性について説明する。

【0053】本実施形態のリードデータバス6aでは、支線62a、64aの終端各々を抵抗値Rkが50Ωの終端抵抗69aを介してラインVttに接続している。



したがって、支線62a、64aの特性インピーダンス $Z_r$ と、終端抵抗69aの抵抗値 $R_k$ とが一致しているので、支線62a、64aの終端各々でのインピーダンス整合を図ることができ、これにより、支線62a、64aの終端に到達した電気信号や反射波を終端抵抗69aに吸収させることができる。

【0054】本実施形態の同期式メモリシステムを動作させた際に、電気信号が各バス上をどの様に伝搬するかについて、図面を参照して説明する。

【0055】図9は本実施形態の動作を説明するためのタイミング図である。図9において、91は、同期RAM4aの入力バッファ42aが同期用クロックを契機としてラッチするアドレス、コマンド及びライトデータの受信タイミングを示している。また、92は、同期RAM4aの出力バッファ44aから出力されるリードデータの出力タイミングを示している。

【0056】図9に示す例では、同期RAM4aの入力バッファ42aは、アドレス及びリードコマンドからなるリード要求を受信した後、続けてアドレス、ライトコマンド及びライトデータからなるライト要求を受信している。一方、同期RAM4aの出力バッファ44aは、入力バッファ42aがリードコマンドを受信した後、3サイクル後にリードデータを出力している。すなわち、同期RAM4aは、リード要求の動作が完結しないうちにライト要求を受信している。これにより、同期メモリシステムのリード要求及びライト要求のパイプライン化を図っている。尚、同期RAM4aは、続けて受信したライト要求をメモリ部のデータバッファで一時的に蓄え、メモリセルが書き込み可能になり次第書き込みを行う。

【0057】本実施形態が図9に示すリード要求を行った場合、リード要求及び当該要求によって読み出されたリードデータの伝搬波形は図10のようになる。

【0058】図10は、図9に示すリード要求を行った場合の各位置でのリード要求及びリードデータの伝搬波形を示す図である。図10において、93はリード要求の伝搬波形を示しており、実線はメモリコントローラ1aの入力バッファ12aでの伝搬波形、1点鎖線は同期RAM4a<sub>m-1</sub>、4a<sub>m</sub>の入力バッファ42aでの伝搬波形、そして2点鎖線は同期RAM4a<sub>m-1</sub>、4a<sub>m</sub>の入力バッファ42aでの伝搬波形を示している。94はリードデータの伝搬波形を示しており、1点鎖線は同期RAM4a<sub>m-1</sub>、4a<sub>m</sub>の出力バッファ44aから出力されたリードデータの当該出力バッファ44aでの伝搬波形、2点鎖線は同期RAM4a<sub>m-1</sub>、4a<sub>m</sub>の出力バッファ44aから出力されたリードデータの当該出力バッファ44aでの伝搬波形を示している。95はメモリコントローラ1aの入力バッファ14aに入力されたリードデータの伝搬波形を示しており、1点鎖線は同期RAM4a<sub>m-1</sub>、4a<sub>m</sub>から出力されたリードデータの伝搬波

形、2点鎖線は同期RAM4a<sub>m-1</sub>、4a<sub>m</sub>から出力されたリードデータの伝搬波形を示している。尚、図10において横軸は時間を表している。

【0059】メモリコントローラ1aの出力バッファ12aから出力されるリード要求の振幅は出力バッファ12aの内部インピーダンスと終端抵抗59aとの分割抵抗比によって定まる。このため、リード要求の振幅は、アドレス・コマンド・クロック・ライトデータバス5a上の位置にかかわらず略一定である。尚、アドレス・コマンド・クロック・ライトデータバス5aを形成する配線パターン

10 線パターンのインピーダンスは、主に寄生容量によるものであるため、振幅にほとんど影響しない。同期メモリ4aの入力バッファ42aに到達したリード要求は、図10の93に示すように、当該入力バッファ42a及び布線56aの寄生容量と整合抵抗58aからなるRC回路の時定数に従って滑らかな立ち上がり、降下を示す。同期RAM4a<sub>m-1</sub>、4a<sub>m</sub>の入力バッファ42aに到達するリード要求は、図10の93に示すように、アドレス・コマンド・クロック・ライトデータバス5a上での伝搬遅延により、同期RAM4a<sub>m-1</sub>、4a<sub>m</sub>に到達するリード要求よりも、多少遅れて到達する。

【0060】同期RAM4aは、リードデータをメモリコントローラ1aから出力されたリード要求を受信した順番で出力バッファ44aから出力する。したがって、図10の94に示すように、同期RAM4a<sub>m-1</sub>、4a<sub>m</sub>の出力バッファ44aから出力されるリードデータは、同期RAM4a<sub>m-1</sub>、4a<sub>m</sub>の出力バッファ44aから出力されるリードデータよりも、多少遅れて出力される。

【0061】メモリコントローラ1aの入力バッファ14aに入力されるリードデータの振幅は、図10の95に示すように、同期RAM4aの出力バッファ44aの内部インピーダンス及び整合抵抗68aの和と、終端抵抗69aとの分割抵抗比に従い圧縮される。また、リードデータバス6aでは、メモリコントローラ1aに対する同期RAM4aの位置関係がアドレス・コマンド・クロック・ライトデータバス5aの場合と逆転するので、メモリコントローラ1aの入力バッファ14aに到達する各同期メモリ4aからのリードデータは、図10の95に示すように、略同時期に到達する。また、メモリコントローラ1aの入力バッファ14aに到達したリードデータは、入力バッファ14a及び幹線61aの寄生容量と、整合抵抗67aからなるRC回路の時定数に従い、滑らかな立ち上がり、降下を示す。

【0062】本実施形態では、図10に示すように、アドレス・コマンド・クロック・ライトデータバス5aを伝搬する信号の振幅は、同期RAM4aの入力バッファ42aの内部インピーダンス及び整合抵抗58aの和と、終端抵抗59aとの分割抵抗比に従い決定される。一方、リードデータバス6aを伝搬する信号の振幅は、

同期RAM 4 a の出力バッファ 4 4 a の内部インピーダンス及び整合抵抗 6 8 a の和と、終端抵抗 6 9 a との分割抵抗比に従い決定される。したがって、上記分割抵抗比が適当な値となるように、整合抵抗 5 8 a、6 8 a の値及び終端抵抗 5 9 a、6 9 a の値を設定することにより、アドレス・コマンド・クロック・ライトデータバス 5 a 及びリードデータ 6 a 間で、異なるバスインタフェースの規格に合わせた信号振幅を得ることができる。

【0063】但し、整合抵抗 5 8 a、6 8 a の値及び終端抵抗 5 9 a、6 9 a の値は、アドレス・コマンド・クロック・ライトデータバス 5 a 及びリードデータバス 6 a を構成する配線パターンの特性インピーダンスによって定まる。したがって、上記分割抵抗比が適当な値となるように、整合抵抗 5 8 a、6 8 a の値及び終端抵抗 5 9 a、6 9 a の値を設定するためには、上記配線パターンの特性インピーダンスを適当な値に設定する必要がある。この場合、整合抵抗 5 8 a、6 8 a が適当な値となるように、布線 5 6 a、6 6 a を構成する配線パターンの特性インピーダンスを変えるのがよい。

【0064】次に、本実施形態の同期式メモリシステムが実装された印刷回路基板について図面を参照して説明する。

【0065】図 11 は本実施形態の同期式メモリシステムが実装されたメモリライザカードの概略構成図、図 12 は図 11 に示すメモリライザカードの部分概略拡大図である。

【0066】図 11 に示すメモリライザカード 7 a では、メモリコントローラ 1 a が中央に配置されている。そして、奇数番目の同期RAM 4 a<sub>n1</sub>～4 a<sub>n7</sub>と、偶数番目の同期RAM 4 a<sub>n2</sub>～4 a<sub>n8</sub>とが、メモリコントローラ 1 a を中心として左右対称な位置に、且つ各同期RAM 4 a が等間隔で配置されている。また、各同期RAM 4 a はメモリコントローラ 1 a からメモリライザカード 7 a の長手方向の端部に向けて序列が昇順（奇数番目の同期RAM 4 a では、# 1、# 3・・・# 7 の順、偶数番目の同期RAM 4 a では、# 2、# 4・・・# 8 の順）となるように、配置されている。

【0067】メモリライザカード 7 a には、本実施形態の同期メモリシステムを情報処理装置に電気的に接続するための導体コンタクトパッド 7 1 が形成されている。導体コンタクトパッド 7 1 は、ライザカード 7 a を情報処理装置のコネクタに嵌合することにより電気的に接続される。また、導体コンタクトパッド 7 1 は、配線パターンを介して、メモリコントローラ 1 a の情報処理装置とのインターフェース 1 6 に接続されている。

【0068】メモリライザカード 7 a には、アドレス・コマンド・クロック・ライトデータバス 5 a を構成する配線パターンと、リードデータバス 6 a を構成する配線パターンと、が形成されている。

【0069】アドレス・コマンド・クロック・ライトデ

ータバス 5 a の幹線 5 1 a を構成する配線パターンは、一端がメモリコントローラ 1 a の出力バッファ 1 2 a に接続され、他端がメモリコントローラ 5 a の近傍でアドレス・コマンド・クロック・ライトデータバス 5 a の支線 5 2 a、5 4 a に接続されている。支線 5 2 a、5 4 a は、幹線 5 1 a に接続されたメモリコントローラ 1 a の近傍からメモリライザカード 7 a の長手方向の端部へ向けて延びている。支線 5 2 a を構成する配線パターンには、奇数番目の同期RAM 4 a<sub>n1</sub>～4 a<sub>n7</sub>の入力バッファ 4 2 a が各々整合抵抗 5 8 a を介して接続され、支線 5 4 a を構成する配線パターンには、偶数番目の同期RAM 4 a<sub>n2</sub>～4 a<sub>n8</sub>の入力バッファ 4 2 a が各々整合抵抗 5 8 a を介して接続されている。これにより、図 11 に示すように、支線 5 2 a、5 4 a に接続される同期RAM 4 a のメモリコントローラ 1 a に対する序列が、昇順（支線 5 2 a については # 1、# 3、・・・# 7 の順、支線 5 4 a については # 2、# 4、・・・# 8 の順）となるようにしている。尚、支線 5 2 a、5 4 a の終端には、各々メモリライザカード 7 a の長手方向の端部において、終端抵抗 5 9 a が接続される。

【0070】リードデータバス 6 a の幹線 6 1 a を構成する配線パターンは、一端がメモリコントローラ 1 a の入力バッファ 1 4 a に接続され、他端がメモリコントローラ 5 a の近傍で整合抵抗 6 7 a を介してリードデータバス 6 a の支線 6 2 a、6 4 a に接続されている。支線 6 2 a、6 4 a は、幹線 6 1 a に接続されたメモリコントローラ 1 a の近傍からメモリライザカード 7 a の長手方向の端部へ向けて延び、当該端部で折り返して再びメモリコントローラ 1 a へ向けて延びている。支線 6 2 a を構成する配線パターンの終端からメモリライザカード 7 a の長手方向の端部にかけての部分には、奇数番目の同期RAM 4 a<sub>n1</sub>～4 a<sub>n7</sub>の出力バッファ 4 4 a が各々整合抵抗 6 8 a を介して接続されている。また、支線 6 4 a を構成する配線パターンの終端からメモリライザカード 7 a の長手方向の端部にかけての部分には、偶数番目の同期RAM 4 a<sub>n2</sub>～4 a<sub>n8</sub>の出力バッファ 4 4 a が各々整合抵抗 6 8 a を介して接続されている。これにより、図 11 に示すように、支線 6 2 a、6 4 a に接続される同期RAM 4 a のメモリコントローラ 1 a に対する序列が、降順（支線 6 2 a については # 7、# 5、・・・# 1 の順、支線 6 4 a については # 8、# 6、・・・# 2 の順）となるようにしている。尚、支線 6 2 a、6 4 a の終端には、各々メモリコントローラ 1 a の近傍において、終端抵抗 6 9 a が接続される。

【0071】次に、メモリライザカード 7 a について詳しく説明する。

【0072】メモリライザカード 7 a は、内側に形成された電源層及びグランド層と、これ等の層上に形成された 2 層の信号層とを有する多層基板である。2 層の信号層のうち、電源層又はグランド層に近い側の信号層（以

下、内層という)の特性インピーダンスは $40 \sim 50 \Omega$ 前後であり、遠い側の信号層(以下、外層という)の特性インピーダンスは $80 \sim 100 \Omega$ 前後である。このように、メモリライザカードは、2つの異なる特性インピーダンスの信号層を有するので、この2つの信号層を選択的に用いることにより、メモリコントローラ1a及び各同期RAM4a間のバス等長配線を実現することができる。

【0073】図11に示す例では、幹線51aとして特性インピーダンス $40 \Omega$ の幅広の内層配線パターンを用い、支線52a、54aとして特性インピーダンス $80 \Omega$ の外層配線パターンを用いて、アドレス・コマンド・クロック・ライトデータバス5aを形成している。また、幹線61a、支線62a、64aとして特性インピーダンス $50 \Omega$ の内層配線パターンを用いて、リードデータバス6aを形成している。尚、アドレス・コマンド・クロック・ライトデータバス5a及びリードデータバス6aは、図11では、1本の線で示しているが、実際には、図12に示すように、複数の信号線で構成されている。そして、整合抵抗58a、67a、68a及び終端抵抗59a、69aは、各信号線毎に設けられている。また、図11に示すメモリライザカード7aでは、図12に示すように、リードデータバス6aが導体コンタクトパッド71及びメモリコントローラ1aの接続線と干渉しないように、当該接続線に外層配線パターンを用いている。

【0074】本実施形態の同期式メモリシステムが実装されたメモリライザカードとしては、図13に示すような、本実施形態の同期式メモリシステムを2系統搭載したメモリライザボード7bも考えられる。また、本実施形態の同期式メモリシステムが実装された回路基板としては、メモリライザカードの他に、メモリコントローラの搭載されたメモリモジュール等も考えられる。

【0075】次に、本発明の第二実施形態について図面を参照して説明する。

【0076】図14は本発明の第二実施形態である同期式メモリシステムの概略構成図、図15は図14に示すシンクロナスDRAMの概略ブロック図である。

【0077】本実施形態の同期式メモリシステムは、図14に示すように、偶数個のシンクロナスDRAM4b<sub>n</sub>〜4b<sub>m</sub>(以下、単に同期RAM4bともいう)と、シンクロナスDRAM4bへのデータの書き込みや読み出しを制御するメモリコントローラ1bと、アドレス・コマンド・クロックバス5bと、リードデータ・ライトデータバス6bと、を備えて構成される。

【0078】メモリコントローラ1bは、シンクロナスDRAM4bの書き込み・読み出し動作を制御するためのアドレス、コマンド及び同期用クロックを、出力バッファ12bから出力する。また、シンクロナスDRAM4bに書き込むライトデータ及び同期用クロックを、出

力バッファ12cから出力する。さらに、シンクロナスDRAM4bが出力したリードデータを入力バッファ14bで受信する。

【0079】シンクロナスDRAM4bは、図15に示すように、アドレス、コマンド及び同期用クロックを受信する入力バッファ42bと、ライトデータ及び同期用クロックを受信する入力バッファ42cと、リードデータを出力する出力バッファ44bと、図示していないが、メモリセル、センスアンプ、シーケンサ等からなるメモリ部と、を有する。シンクロナスDRAM4bは、アドレス・コマンド・クロックバス5b上の同期用クロックを契機としてアドレス及びリードコマンドをラッチする。そしてラッチしたアドレス及びリードコマンドに従い、当該アドレスのリードデータを読み出して出力バッファ44bから出力する。また、アドレス・コマンド・クロックバス5b上の同期用クロックを契機としてアドレス及びライトコマンドをラッチする。そしてラッチしたアドレス及びライトコマンドに従い、リードデータ・ライトデータバス6b上の同期用クロックを契機としてラッチしたライトデータを、当該アドレスに書き込む。このシンクロナスDRAM4bは、従来より用いられているシンクロナスDRAMと同様である。

【0080】アドレス・コマンド・クロックバス5bは、メモリコントローラ1bの出力バッファ12bから出力されたアドレス及びコマンドを、シンクロナスDRAM4bの入力バッファ42bに入力するためのものである。また、アドレス・コマンド・クロックバス5bは、図14に示すように、分岐点Fで幹線51bが2つの支線52b、54bに分岐しており、支線52bには奇数番目のシンクロナスDRAM4b<sub>n</sub>( $i=1, 3, \dots, n-1$ )が、そして支線54bには偶数番目のシンクロナスDRAM4b<sub>n</sub>( $j=2, 4, \dots, n$ )が、略等間隔で各々布線56bを介して接続されている。このようにすることで、支線52b及び支線54bの長さを略等しくしている。

【0081】リードデータ・ライトデータバス6bは、メモリコントローラ1aの出力バッファ12cから出力されたアドレス及びコマンドを、シンクロナスDRAM4bの入力バッファ42cに入力すると共に、シンクロナスDRAM4bの出力バッファ44bから出力されたリードデータをメモリコントローラ1bの入力バッファ14bに入力するためのものである。リードデータ・ライトデータバス6bも、アドレス・コマンド・クロックバス5bと同様に、分岐点Gで幹線61bが2つの支線62b、64bに分岐しており、支線62bには奇数番目のシンクロナスDRAM4b<sub>n</sub>( $i=1, 3, \dots, n-1$ )が、そして支線64bには偶数番目のシンクロナスDRAM4b<sub>n</sub>( $j=2, 4, \dots, n$ )が、略等間隔で各々布線66bを介して接続されている。このようにすることで、支線62b及び支線64bの長さを略

等しくしている。

【0082】アドレス・コマンド・クロックバス5bの支線52b、54bは、メモリコントローラ1bに対するシンクロナスDRAM4bの序列を昇順（支線52bについては#1、#3、・・・#n-1の順、支線54bについては#2、#4、・・・#nの順）としている。一方、リードデータ・ライトデータバス6bの支線62b、64bは、メモリコントローラ1bに対するシンクロナスDRAM4bの序列を降順（支線62bについては#n-1、#n-3、・・・#1の順、支線64bについては#n、#n-2、・・・#2の順）としている。上述したように、アドレス・コマンド・クロックバス5bの支線52b及び支線54bの長さを略等しくすると共に、リードデータ・ライトデータバス6bの支線62b及び支線64bの長さを略等しくしているの、このようにすることにより、メモリコントローラ1b及びシンクロナスDRAM4b間のアドレス・コマンド・クロックバス5bのバス長と、メモリコントローラ1b及びシンクロナスDRAM4b間のリードデータ・ライトデータバス6bのバス長との総和が、全てのシンクロナスDRAM4b<sub>n1</sub>～4b<sub>nm</sub>について略等しくなるようにしている。

【0083】本実施形態の同期式メモリシステムでは、シンクロナスDRAM4bは、メモリコントローラ1bからアドレス・コマンド・クロックバス5b上に出力されたアドレス及びライトコマンドをラッチする。そして、メモリコントローラ1bからリードデータ・ライトデータバス6b上に出力された同期用クロックを契機として、メモリコントローラ1aからリードデータ・ライトデータバス6b上に出力されたライトデータをラッチする。これにより、ライトデータの同期転送を実現している。

【0084】また、メモリコントローラ1b及びシンクロナスDRAM4b間のアドレス・コマンド・クロックバス5bのバス長と、メモリコントローラ1b及びシンクロナスDRAM4b間のリードデータ・ライトデータバス6aのバス長との総和が、全てのシンクロナスDRAM4b<sub>n1</sub>～4b<sub>nm</sub>について略等しくなるようにしている。これにより、メモリコントローラ1bの出力バッファ12bがアドレス及びリードを示すコマンドを出力してから、メモリコントローラ1bの入力バッファ14bが当該アドレスのデータを受信するまでのメモリアクセスレイテンシを、全てのシンクロナスDRAM4b<sub>n1</sub>～4b<sub>nm</sub>について略一定にすることができる。

【0085】さらに、アドレス・コマンド・クロックバス5b及びリードデータ・ライトデータバス6b各々を、図14に示すように、2つの支線に分岐して、一方の支線に奇数番目のシンクロナスDRAM4bを接続し、他方の支線に偶数番目のシンクロナスDRAM4bを接続したことにより、メモリコントローラ1b及びシ

ンクロナスDRAM4b間におけるアドレス・コマンド・クロックバス5b、リードデータ・ライトデータバス6bの最長バス長を、図23に示す従来の同期メモリシステムに比べて、略半分に短縮することができる。これにより、メモリコントローラ1bの各シンクロナスDRAM4bに対するメモリアクセスレイテンシを短縮することができる。また、図24に示す従来の同期メモリシステムと異なり、2つのアドレス・コマンドバスに各々対応する2つの出力バッファと、2つのリードデータ・ライトデータバスに各々対応する2つの入力バッファ及び出力バッファとを、メモリコントローラに設ける必要がない。したがって、メモリコントローラが大きくなるのを防ぐことができ、また、メモリコントローラのピン数が増加するのを防ぐことができる。

【0086】さらに、本実施形態では、同期メモリとして、従来より用いられているシンクロナスDRAMを利用しているので、部品の共通化・低価格化を図ることができる。

【0087】次に、本実施形態のアドレス・コマンド・クロックバス5b及びリードデータ・ライトデータバス6bの具体的な構成について図面を参照して説明する。

【0088】図16は図14に示すアドレス・コマンドバスの概略構成図、図17は図14に示すリードデータ・ライトデータバスの概略構成図である。

【0089】図16に示す本実施形態のアドレス・コマンド・クロックバス5bの構成は、図3に示す第一実施形態のアドレス・コマンド・クロック・ライトデータバス5aのものと基本的に同様である。すなわち、幹線51bとして、特性インピーダンスZ<sub>s</sub>が40Ωの配線パターンを用いている。また、支線52b、54bとして、特性インピーダンスZ<sub>m</sub>が80Ωの配線パターンを用い、支線52b、54bの終端各々を抵抗値R<sub>t</sub>が80Ωの終端抵抗59bを介してラインV<sub>t</sub>に接続している。さらに、布線56bとして、特性インピーダンスZ<sub>s</sub>が80Ωの配線パターンを用い、各布線56bを抵抗値R<sub>m</sub>が40Ωの整合抵抗58bを介して対応する支線52b、54bに接続している。

【0090】このようにすることで、第一実施形態のアドレス・コマンド・クロック・ライトデータバス5aと同様の効果を得ることができる。たとえば、分岐点Fでのインピーダンス整合を図ることができ、メモリコントローラ1bの出力バッファ12bから出力された電気信号が分岐点Dで不要な反射波を発生させるのを抑制することができる。また、支線52b、54bと布線56bとの接続点でのインピーダンス整合を図ることができ、これにより、布線56b及びシンクロナスDRAM4bの接点と、当該布線56b及び当該布線56bに接続された支線52b、54bの接続点とで、反射波が交互に繰り返して発生し、入力バッファ44bに入力される電気信号の振幅を段階的に上昇させて、シンクロナスDRA

M4 bを誤動作させるのを防止することができる。さらに、支線52 b、54 bの終端各々でのインピーダンス整合を図ることができ、これにより、支線52 b、54 bの終端に到達した電気信号や反射波を終端抵抗59 bに吸収させることができる。

【0091】図17に示す本実施形態のリードデータ・ライトデータバス6 bの構成は、図6に示す第一実施形態のリードデータバス6 aのものと基本的に同様である。すなわち、幹線61 bとして特性インピーダンス $Z_u$ が50  $\Omega$ の配線パターンを、そして支線62 b、64 bとして特性インピーダンス $Z_r$ が50  $\Omega$ の配線パターンを用い、幹線61 bと分岐点Gとの間に抵抗値 $R_{mr}$ が25  $\Omega$ の整合抵抗67 bを挿入している。また、支線62 b、64 bの終端各々を抵抗値 $R_k$ が50  $\Omega$ の終端抵抗69 bを介してラインV t tに接続している。さらに、布線66 bとして、特性インピーダンス $Z_{sr}$ が80  $\Omega$ の配線パターンを用い、各布線66 bを抵抗値 $R_r$ が55  $\Omega$ の整合抵抗68 bを介して対応する支線62 b、64 bに接続している。

【0092】このようにすることで、第一実施形態のリードデータバス6 aと同様の効果を得ることができる。たとえば、支線62 b、64 bと布線66 bとの接続点でのインピーダンス整合を図ることができ、これにより、シンクロナスDRAM4 bの出力バッファ44 bから出力された電気信号が接続点で不要な反射波を発生させるのを抑制することができる。また、分岐点Gでのインピーダンス整合を図ることができ、これにより、入力バッファ14 b及び幹線61 bの接点と、分岐点Eとで、反射波が交互に繰り返し発生し、入力バッファ14 bに輸入される電気信号の振幅を段階的に上昇させて、メモリコントローラ1 bを誤動作させるのを防止することができる。さらに、支線62 b、64 bの終端各々でのインピーダンス整合を図ることができ、これにより、支線62 b、64 bの終端に到達した電気信号や反射波を終端抵抗69 bに吸収させることができる。

【0093】本実施形態の同期式メモリシステムを動作させた際に、電気信号が各バス上をどのように伝搬するかについて、図面を参照して説明する。

【0094】図18は本実施形態の動作を説明するためのタイミング図である。図18において、181は、シンクロナスDRAM4 bの入力バッファ42 bがラッチするアドレス及びコマンドの受信タイミングを示している。また、182は、シンクロナスDRAM4 bの入力バッファ42 cがラッチするライトデータの受信タイミング、およびシンクロナスDRAM4 bの出力バッファ44 bから出力されるリードデータの出力タイミングを示している。

【0095】図18に示す例では、シンクロナスDRAM4 bの入力バッファ42 bは、アドレス及びライトコマンドからなるリード要求を受信した後、続けてアドレ

ス及びリードコマンドからなるリード要求を受信している。一方、シンクロナスDRAM4 bの入力バッファ42 cは、入力バッファ42 bでのライトコマンドの受信と略同時期にライトデータの受信を開始している。すなわち、シンクロナスDRAM4 aは、ライト要求の動作が完結しないうちにリード要求を受信している。また、シンクロナスDRAM4 bの出力バッファ44 bは、入力バッファ42 bがリードコマンドを受信した後、3サイクル後にリードデータを出力している。尚、シンクロナスDRAM4 aは、続けて受信したリード要求をメモリ部のデータバッファで一時的に蓄え、メモリセルが読み出し可能になり次第読み出しを行う。

【0096】本実施形態が図18に示すリード要求を行った場合、リード要求及び当該要求によって読み出されたリードデータの伝搬波形は図19のようになる。

【0097】図19は、図18に示すリード要求を行った場合の各位置でのリード要求及びリードデータの伝搬波形を示す図である。図19において、193はリード要求の伝搬波形を示しており、実線はメモリコントローラ1 bの出力バッファ12 bでの伝搬波形、1点鎖線はシンクロナスDRAM4 b<sub>m1</sub>、4 b<sub>m2</sub>の入力バッファ42 bでの伝搬波形、そして2点鎖線はシンクロナスDRAM4 b<sub>m-1</sub>、4 b<sub>m</sub>の入力バッファ42 bでの伝搬波形を示している。194はリードデータの伝搬波形を示しており、1点鎖線はシンクロナスDRAM4 b<sub>m1</sub>、4 b<sub>m2</sub>の出力バッファ44 bから出力されたリードデータの当該出力バッファ44 bでの伝搬波形、2点鎖線はシンクロナスDRAM4 b<sub>m-1</sub>、4 b<sub>m</sub>の出力バッファ44 bから出力されたリードデータの当該出力バッファ44 bでの伝搬波形を示している。195はメモリコントローラ1 bの入力バッファ14 bに輸入されたリードデータの伝搬波形を示しており、1点鎖線はシンクロナスDRAM4 b<sub>m1</sub>、4 b<sub>m2</sub>から出力されたリードデータの伝搬波形、2点鎖線はシンクロナスDRAM4 b<sub>m-1</sub>、4 b<sub>m</sub>から出力されたリードデータの伝搬波形を示している。尚、図19において横軸は時間を表している。

【0098】メモリコントローラ1 bの出力バッファ12 bから出力されるリード要求の振幅は出力バッファ12 bの内部インピーダンスと終端抵抗59 bとの分割抵抗比によって定まる。このため、リード要求の振幅は、アドレス・コマンド・クロックバス5 b上の位置にかかわらず略一定である。シンクロナスDRAM4 bの入力バッファ42 bに到達したリード要求は、図19の193に示すように、当該入力バッファ42 b及び布線56 bの寄生容量と整合抵抗58 bからなるRC回路の時定数に従って滑らかな立ち上がり、降下を示す。シンクロナスDRAM4 b<sub>m-1</sub>、4 a<sub>m</sub>の入力バッファ42 bに到達するリード要求は、図19の193に示すように、アドレス・コマンド・クロックバス5 b上での伝搬遅延により、シンクロナスDRAM4 1 b<sub>m1</sub>、4 b<sub>m2</sub>に到達

10

20

30

40

50

するリード要求よりも、多少遅れて到達する。

【0099】シンクロナスDRAM4bは、メモリコントローラ1bから出力されたリード要求を受信した順番でリードデータを出力バッファ44bから出力する。したがって、図19の194に示すように、シンクロナスDRAM4b<sub>m-1</sub>、4b<sub>m</sub>の出力バッファ44bから出力されるリードデータは、シンクロナスDRAM4b<sub>m1</sub>、4b<sub>m2</sub>の出力バッファ44bから出力されるリードデータよりも、多少遅れて出力される。

【0100】メモリコントローラ1bの入力バッファ14bに入力されるリードデータの振幅は、図19の195に示すように、シンクロナスDRAM4bの出力バッファ44bの内部インピーダンス及び整合抵抗68bの和と、終端抵抗69bとの分割抵抗比に従い圧縮される。また、リードデータ・ライトデータバス6bでは、メモリコントローラ1bに対するシンクロナスDRAM4bの位置関係がアドレス・コマンド・クロックバス5bの場合と逆転するので、メモリコントローラ1bの入力バッファ14bに到達する各シンクロナスDRAM4bからのリードデータは、図19の195に示すように、略同時期に到達する。また、メモリコントローラ1bの入力バッファ14bに到達したリードデータは、入力バッファ14b及び幹線61bの寄生容量と、整合抵抗67bからなるRC回路の時定数に従い、滑らかな立ち上がり、降下を示す。

【0101】本実施形態が図18に示すライト要求を行った場合、ライト要求及びライトデータの伝搬波形は図20のようになる。

【0102】図20は、図18に示すライト要求を行った場合の各位置でのライト要求及びライトデータの伝搬波形を示す図である。図20において、201はライト要求の伝搬波形を示しており、実線はメモリコントローラ1bの出力バッファ12bでの伝搬波形、1点鎖線はシンクロナスDRAM4b<sub>m1</sub>、4b<sub>m2</sub>の入力バッファ42bでの伝搬波形、そして2点鎖線はシンクロナスDRAM4b<sub>m-1</sub>、4b<sub>m</sub>の入力バッファ42bでの伝搬波形を示している。202はライトデータの伝搬波形を示しており、実線はメモリコントローラ1bの出力バッファ12cでの伝搬波形、1点鎖線はシンクロナスDRAM4b<sub>m1</sub>、4b<sub>m2</sub>の入力バッファ42cでの伝搬波形、2点鎖線はシンクロナスDRAM4b<sub>m-1</sub>、4b<sub>m</sub>の入力バッファ42cでの伝搬波形を示している。尚、図20において横軸は時間を表している。

【0103】メモリコントローラ1bの出力バッファ12bから出力されるライト要求の振幅は出力バッファ12bの内部インピーダンスと終端抵抗59bとの分割抵抗比によって定まる。このため、リード要求の振幅は、アドレス・コマンド・クロックバス5b上の位置にかかわらず略一定である。シンクロナスDRAM4bの入力バッファ42bに到達したライト要求は、図20の20

1に示すように、当該入力バッファ42b及び布線56bの寄生容量と整合抵抗58bからなるRC回路の時定数に従って滑らかな立ち上がり、降下を示す。シンクロナスDRAM4b<sub>m-1</sub>、4b<sub>m</sub>の入力バッファ42bに到達するライト要求は、図20の193に示すように、アドレス・コマンド・クロックバス5b上での伝搬遅延により、シンクロナスDRAM4b<sub>m1</sub>、4b<sub>m2</sub>に到達するリード要求よりも、多少遅れて到達する。

【0104】メモリコントローラ1bの出力バッファ12cから出力され、シンクロナスDRAM4bの入力バッファ42cに入力されるライトデータの振幅は、図20の202に示すように、シンクロナスDRAM4bの出力バッファ44bの内部インピーダンス及び整合抵抗68bの和と、終端抵抗69bとの分割抵抗比に従い圧縮される。シンクロナスDRAM4bの入力バッファ42cに到達したライトデータは、図20の202に示すように、当該入力バッファ42c及び布線66bの寄生容量と整合抵抗68bからなるRC回路の時定数に従って滑らかな立ち上がり、降下を示す。シンクロナスDRAM4b<sub>m1</sub>、4b<sub>m2</sub>の入力バッファ42cに到達するライトデータは、図20の201に示すように、リードデータ・ライトデータバス6b上での伝搬遅延により、シンクロナスDRAM4b<sub>m-1</sub>、4b<sub>m</sub>に到達するライトデータよりも、多少遅れて到達する。

【0105】本実施形態では、図19及び図20に示すように、アドレス・コマンド・クロックバス5bを伝搬する信号の振幅は、シンクロナスDRAM4bの入力バッファ42bの内部インピーダンス及び整合抵抗58bの和と、終端抵抗59bとの分割抵抗比に従い決定される。一方、リードデータ・ライトデータバス6bを伝搬する信号の振幅は、シンクロナスDRAM4bの出力バッファ44bの内部インピーダンス及び整合抵抗68bの和と、終端抵抗69bとの分割抵抗比に従い決定される。したがって、上記分割抵抗比が適当な値となるように、整合抵抗58b、68bの値及び終端抵抗59b、69bの値を設定することにより、アドレス・コマンド・クロックバス5b及びリードデータ・ライトデータバス6b間で、異なるバスインタフェースの規格に合わせた信号振幅を得ることができる。たとえば、アドレス・コマンド信号を、従来のターミネーテッドLV-TTLで定義された信号電位でシンクロナスDRAM4bの入力バッファ42bに入力することができ、また、リードデータ信号を、シンクロナスDRAMの(米)EIA/JEDECでの標準規格であるSSTL(Stub Series Terminated Transiever Logid)で定義された信号電位でメモリコントローラ1bの入力バッファ14bに入力することができる。

【0106】但し、整合抵抗58b、68bの値及び終端抵抗59b、69bの値は、アドレス・コマンド・クロックバス5b及びリードデータ・ライトデータバス6

bを構成する配線パターン特性インピーダンスによって定まる。したがって、上記分割抵抗比が適当な値となるように、整合抵抗58b、68bの値及び終端抵抗59b、69bの値を設定するためには、上記配線パターンの特性インピーダンスを適当な値に設定する必要がある。この場合、整合抵抗58b、68bが適当な値となるように、布線56b、66bを構成する配線パターンの特性インピーダンスを変えるのがよい。

【0107】本発明は、本発明は上記の各実施形態に限定されるものではなく、その要旨の範囲内で数々の変形が可能である。たとえば、上記の各実施形態では、リードデータバス又はリードデータ・ライトデータバスの幹線側から見たときに分岐点で整合がとれるように、幹線及び分岐点間に整合抵抗を挿入したものについて説明した。しかしながら、本発明はこれに限定されるものではない。分岐点及び幹線間、分岐点及び各支線間に、それぞれ適当な整合抵抗を挿入することにより、幹線側から見たときのみならず、支線側から見たときにも分岐点で整合がとれるようにしてもよい。

【0108】図21に一例を示す。図21は、第二実施形態のリードデータ・ライトデータバス6bにおいて、分岐点G及び幹線61b間、分岐点G及び各支線62b、64b間に、それぞれ適当な整合抵抗を挿入した例 \*

$$R_{s1} = Z_r^2 / (4Z_u - Z_r) \cdots (式1)$$

$$R_{s2} = Z_s (4Z_u - 3Z_r) / (4Z_u - Z_r) \cdots (式2)$$

図22に別の例を示す。図22では、第二実施形態のリードデータ・ライトデータバス6bにおいて、幹線61bの特性インピーダンス $Z_u$ を37.5Ω、支線62b、64bの特性インピーダンス $Z_r$ を50Ω、分岐点Gと支線62bとの間及び分岐点Gと支線64bとの間に挿入する整合抵抗67cの抵抗値 $R_{s1}$ を25Ωに設定して、整合抵抗67cの抵抗値 $R_{s1}$ を0で整合がとれるようにした例を示す。このようにすることで、分岐点Gでの整合を保ちながら、整合抵抗67cを省略している。

【0111】また、上記の各実施形態では、アドレス・コマンド・クロック・ライトデータバスやリードデータバス等を2つの支線に分岐したものについて説明したが、本発明はこれに限定されるものではなく、バスを複数の支線に分岐したものであればよい。

【0112】さらに、上記の各実施形態では、バス上を伝搬して送られてくるアドレス・コマンド信号やライトデータ信号を、これ等の信号と同じようにしてバス上を伝搬して送られてくる同期用クロックを契機としてラッチするソースクロック同期方式を用いたものについて説明している。しかしながら、本発明の同期式メモリシステムは、メモリコントローラ及メモリの全てに同相のクロックが給電されても動作する。すなわち、従来の情報処理装置に見られる同相のクロックにより定義されるバスサイクルに従っても同期動作する。

\*を示す。図21に示す例では、幹線61bとして特性インピーダンス $Z_u$ が80Ωの配線パターンを用い、支線62b、64bとして特性インピーダンス $Z_r$ が80Ωの配線パターンを用いている。そして、分岐点Gと幹線61bとの間に抵抗値 $R_{s1}$ が26.6Ωの整合抵抗67cを挿入し、分岐点Gと支線62bとの間及び分岐点Gと支線64bとの間に抵抗値 $R_{s2}$ が26.6Ωの整合抵抗67dを各々挿入している。このようにすることで、幹線61bの特性インピーダンス( $Z_u = 80\Omega$ )と、支線62b、64b及び整合抵抗67c、67dの合成インピーダンス( $R_{s1} + (Z_r + R_{s2}) / 2 = 79.9\Omega$ )とを略一致させることができ、幹線61bから見たときに分岐点Gで整合させることができる。また、支線62bの特性インピーダンス( $Z_r = 80\Omega$ )と、幹線61b、支線64b及び整合抵抗67c、67dの合成インピーダンス( $R_{s2} + (Z_u + Z_r + R_{s1}) / 2 = 79.9\Omega$ )とを略一致させることができ、支線62bから見たときに分岐点Gで整合させることができる。支線64bから見たときも同様である。

【0109】尚、以下に示すように、整合抵抗67cの抵抗値 $R_{s1}$ は(式1)で、また、整合抵抗67dの抵抗値 $R_{s2}$ は(式2)で求めることができる。

【0110】

※【0113】また、上記の各実施形態では、メモリコントローラによって複数のメモリを同期制御する同期式メモリシステムについて説明したが、本発明はバスマスタによって複数のバススレーブを同期制御するバスシステムであれば、様々な用途に適用することができる。

【0114】

【発明の効果】以上説明したように、本発明によれば、バスマスタのピン数を増加させることなく、バスマスタ及び当該バスマスタに支配される複数のバススレーブ各々間の信号転送時間を略一定に保ちながら短縮することができる。

【図面の簡単な説明】

【図1】本発明の第一実施形態である同期式メモリシステムの概略構成図である。

【図2】図1に示す同期RAMの概略ブロック図である。

【図3】図1に示すアドレス・コマンド・クロック・ライトデータバスの概略構成図である。

【図4】図3のA部拡大図である。

【図5】図3のB部拡大図である。

【図6】図1に示すデータバスの概略構成図である。

【図7】図6のC部拡大図である。

【図8】図6のD部拡大図である。

【図9】第一実施形態の動作を説明するためのタイミング図である。

【図10】図9に示すリード要求を行った場合の各位置でのリード要求及びリードデータの伝搬波形を示す図である。

【図11】第一実施形態の同期式メモリシステムが実装されたメモリライザカードの概略構成図である。

【図12】図11に示すメモリライザカードの部分概略拡大図である。

【図13】第一実施形態の同期式メモリシステムが2系統実装されたメモリライザカードの概略構成図である。

【図14】本発明の第二実施形態である同期式メモリシステムの概略構成図である。

【図15】図14に示すシンクロナスDRAMの概略ブロック図である。

【図16】図14に示すアドレス・コマンド・クロックバスの概略構成図である。

【図17】図14に示すリードデータ・ライトデータバスの概略構成図である。

【図18】第二実施形態の動作を説明するためのタイミング図である。

【図19】図18に示すリード要求を行った場合の各位置でのリード要求及びリードデータの伝搬波形を示す図である。

【図20】図18に示すライト要求を行った場合の各位置でのライト要求及びライトデータの伝搬波形を示す図である。

【図21】分岐点での整合抵抗の配置の変形例を示す図である。

【図22】分岐点での整合抵抗の配置の変形例を示す図 \*

\*である。

【図23】SyncLinkが適用された同期式メモリシステムの概略構成図である。

【図24】SyncLinkが適用された同期式メモリシステムの容量増設時の構成を示す図である。

【符号の説明】

1 a、1 b メモリコントローラ

4 a 同期RAM

4 b シンクロナスDRAM

10 5 a アドレス・コマンド・クロック・ライトデータバス

5 b アドレス・コマンド・クロックバス

6 a リードデータバス

6 b リードデータ・ライトデータバス

7 a、7 b メモリライザカード

12 a、12 b、12 c、42 a、42 b、42 c 入力バッファ

14 a、14 b、44 a、44 b 出力バッファ

16 インターフェース

20 51 a、51 b、61 a、61 b 幹線

52 a、52 b、54 a、54 b、62 a、62 b、64 a、64 b 支線

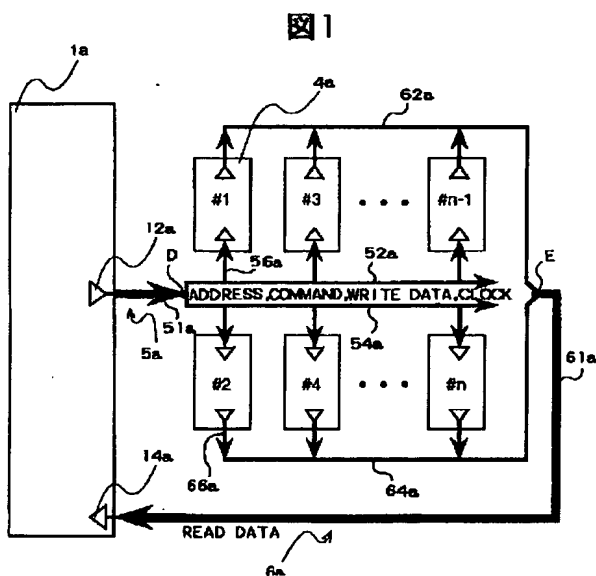
56 a、56 b、66 a、66 b 布線

58 a、58 b、67 a、67 c、67 d、68 b、68 a、68 b 整合抵抗

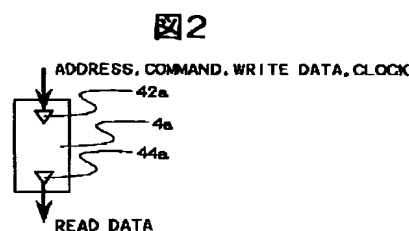
59 a、59 b、69 a、69 b 終端抵抗

71 導体コンタクトパッド

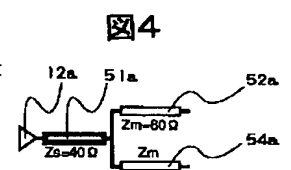
【図1】



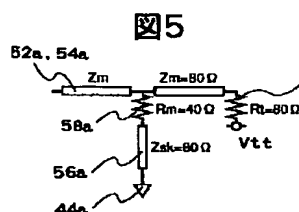
【図2】



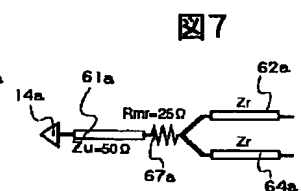
【図4】



【図5】



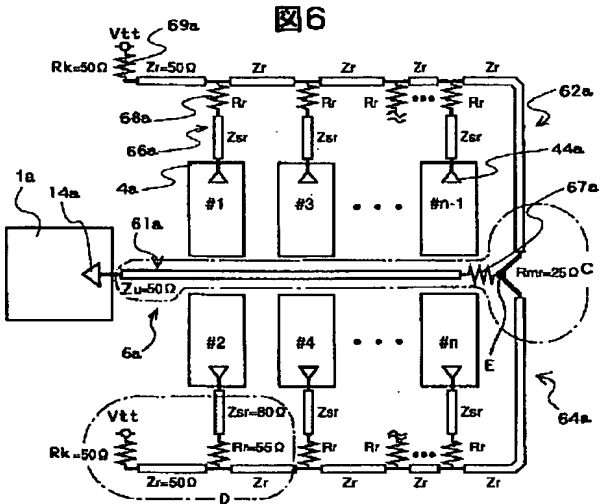
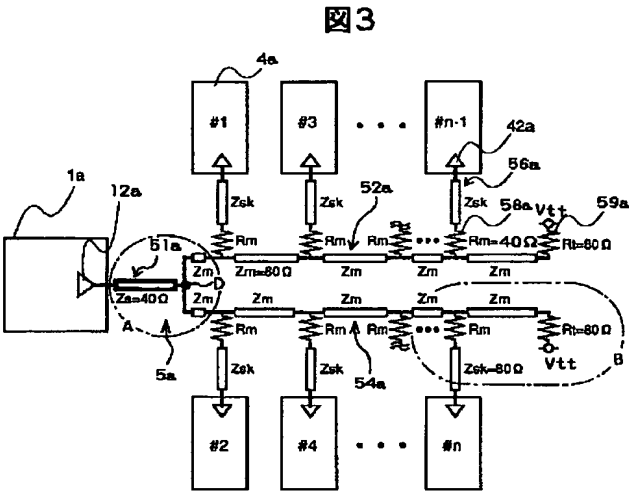
【図7】





【図3】

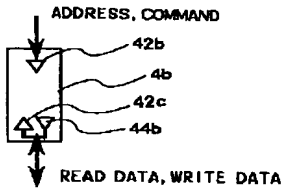
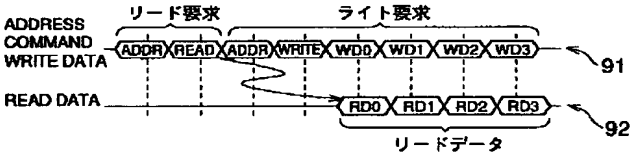
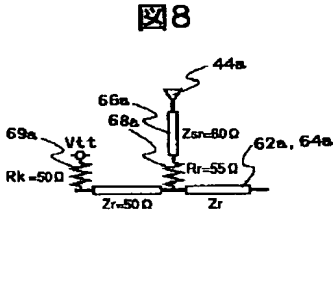
【図6】



【図8】

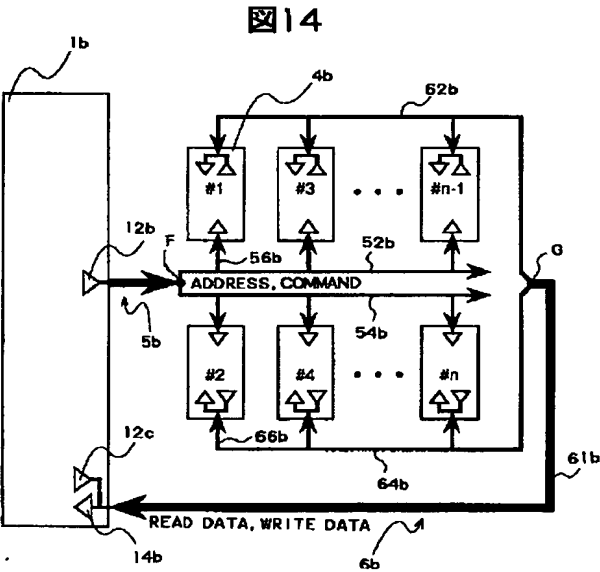
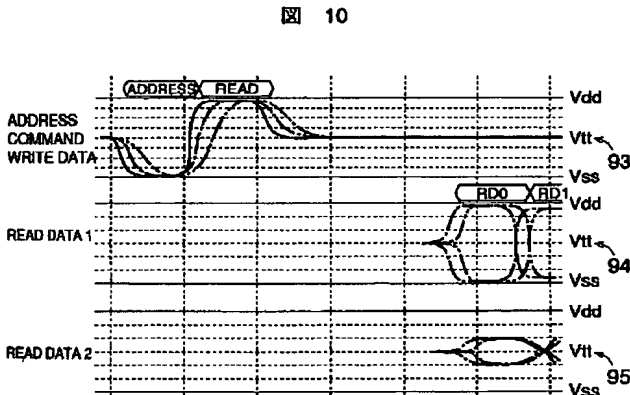
【図9】

【図15】



【図10】

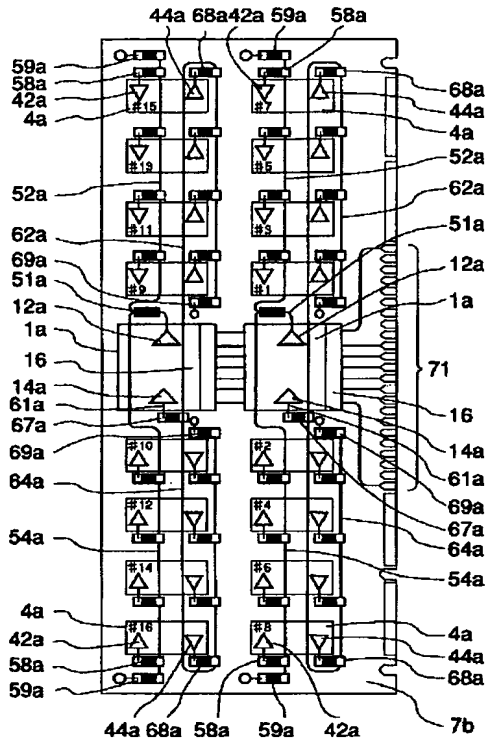
【図14】





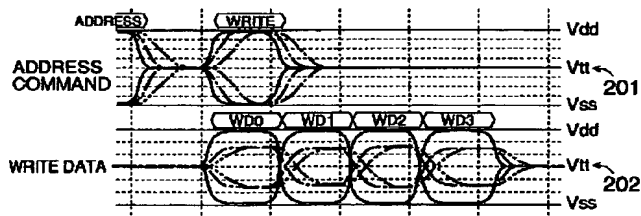
【図13】

図 13



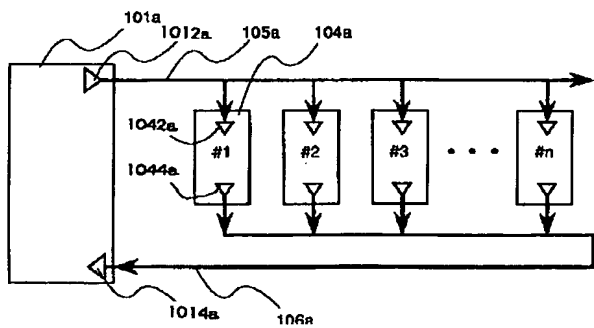
【図20】

図 20



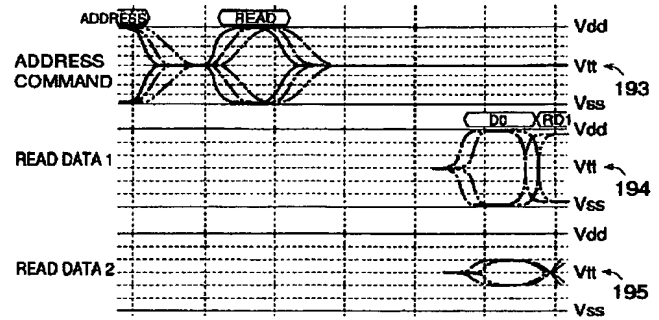
【図23】

図 23



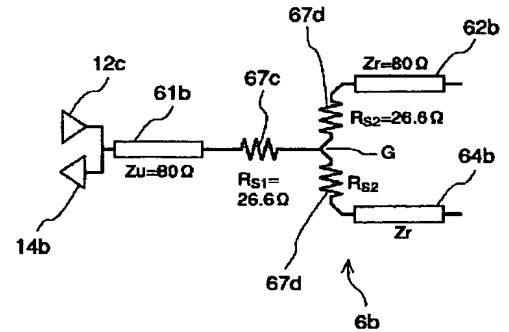
【図19】

図 19



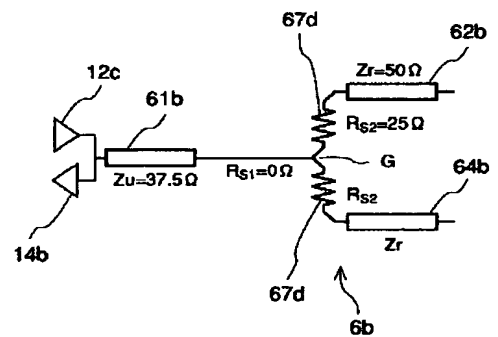
【図21】

図 21



【図22】

図 22



【図24】

